





THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAYER

Patent number: JP8340120
Publication date: 1996-12-24
Inventor: INOUE SHUNSUKE (JP); ICHIKAWA TAKESHI (JP)
Applicant: CANON KK (JP)
Classification:
 - international: **G02F1/136; G02F1/1368; H01L21/336; H01L29/786; G02F1/1368; G02F1/13; H01L21/02; H01L29/66; G02F1/13; (IPC1-7): H01L29/786; G02F1/136; H01L21/336**
 - european: **H01L29/786B4; H01L29/786B4B; H01L29/786D**
Application number: JP19960081485 19960403
Priority number(s): JP19960081485 19960403; JP19950084106 19950410

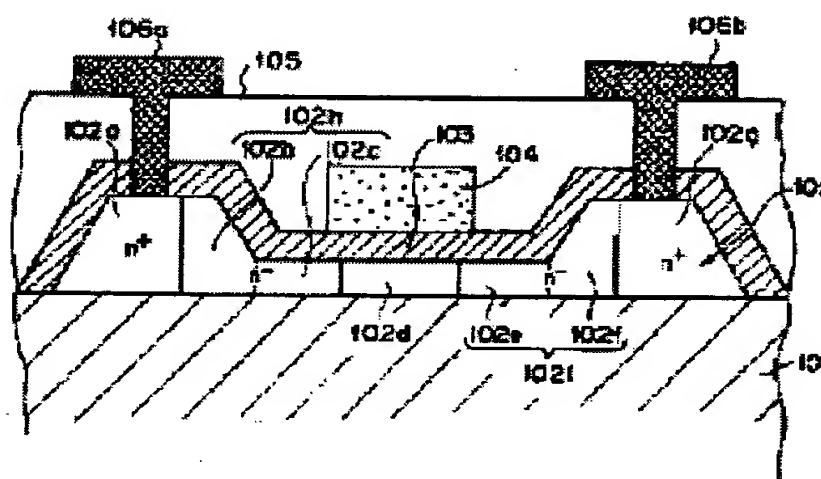
Also published as:

 EP0738012 (A)
 US5693959 (A)
 EP0738012 (A)
 EP0738012 (B)

Report a data error he

Abstract of JP8340120

PURPOSE: To lower the parasitic resistance while suppressing the leakage current by a method wherein the lightly doped region is composed of the first region made of the thin film at least in the same thickness as that of a channel region and the second region made of a thin film almost in the same thickness as that of a heavily doped region and thicker than the first region. **CONSTITUTION:** A polysilicon 102 and a gate insulating film 103, etc., are formed on an insulating substrate 101. The polysilicon 102 is composed of a heavily doped n^{++} source region 102a, a lightly doped n^{-} type region 102h, a channel region 102d, a lightly doped n^{-} type drain region 102i, a heavily doped n^{++} type drain region 102g, etc. On the other hand, the lightly doped n^{-} type source region 102h is composed of the first region 102c as a thin film in almost the same thickness as that of the channel region 102d and the second region 102b as a thick film in almost the same thickness as that of the heavily doped n^{++} source region 102a. Likewise, the lightly doped n^{-} type drain region 102i is composed of the first region 102e as a thin film and the second region 102f as a thick film.



Data supplied from the esp@cenet database - Worldwide

[0064]

Fig. 9 is a cross-sectional view taken along a line AA' in Fig. 8, and the thin film transistor TFT structure which is the gist of the present invention is applied. The portions corresponding to the portions in Fig. 8 are denoted by the same reference numerals. The thin film transistor TFT is formed over a surface insulating substrate 917, while a source high-concentration n^+ layer 909a, a source low-concentration n^- layer 909b, a first channel region 909c, an intermediate low-concentration n^- layer 909d, a second channel region 909e, a drain low-concentration n^- layer 909f, and a drain high-concentration n^+ layer 909g are disposed in this order in the thin film polysilicon 909. The first and second channel regions are opposed to gate electrodes 903 through a silicon oxide film 918 formed over the first and second channel regions. Aluminum electrodes are connected through the source contact 910 and the drain contact 911.

[0065]

A space under aluminum electrodes 904 and 912, and over the gate electrodes is covered with a first interlayer insulating film 919. The aluminum electrode 912 is connected to the pixel transparent electrode 914 through the through hole 913. It is desirable that, for example, titanium, titanium silicide, or the like be deposited over the surface of the aluminum electrode 912 in order to improve an ohmic contact between the aluminum electrode 912 and ITO, which is used for the pixel transparent electrode 914, at this time. The aluminum electrode 912 is covered with a second interlayer insulating film 920, and a light shielding film 921 is disposed thereover. As the light shielding film 921, titanium, titanium silicide, tantalum, tantalum silicide, tungsten, and the like can be used. A capacitor film 922 for forming the storage capacitor exists between the transparent electrode 914 and the light shielding film 921. As the capacitor film 922, a plasma nitride film which enhances the effect of hydrogenation is effective; however, a nitrogen oxide film or a silicon oxide film or the like can also be used.

[0066]

An alignment film 923, which has been undergone rubbing treatment, is deposited over the whole surface of the transparent electrode 914 and is opposed to a

common electrode 923 (e.g., a transparent electrode) on an opposite substrate 924, so as to interpose the liquid crystal 907 therebetween. Furthermore, the transparent electrode is connected to the drain electrode; however, the drain electrode can be replaced with the source electrode in view of a design.

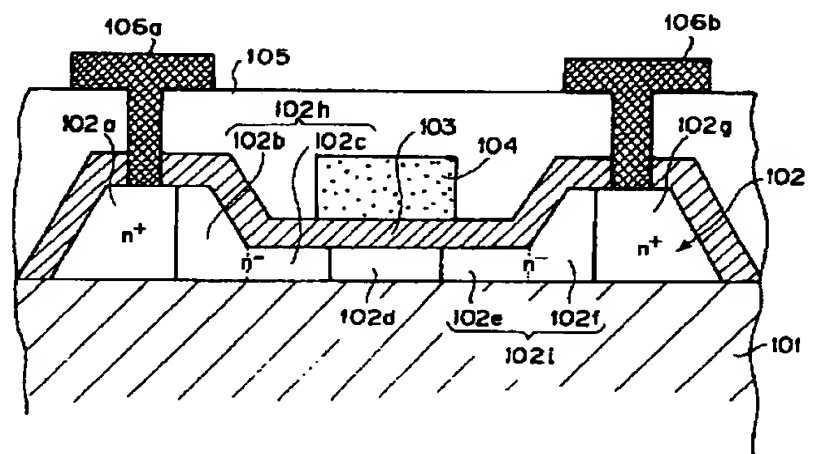
5 [0067]

As the liquid crystal 907, a TN type is used as one example in the case of a transparent type, and a polymer dispersed type is used as one example in the case of a reflective type panel.

[0068]

10 It has been found that the liquid crystal panel having the above structure is characterized in that the display with a high gradation can be realized with a high yield because of a high ON/OFF ratio of the TFT.

(11)特許出願公開番号



【特許請求の範囲】

【請求項 1】 絶縁性基板上の薄膜シリコン領域内にソース領域、ドレイン領域、チャネル領域を有し、前記チャネル領域上にはゲート絶縁膜を介してゲート電極を有し、前記ソース領域及び前記ドレイン領域の少なくとも一方は高濃度不純物領域と低濃度不純物領域を有し、前記チャネル領域と前記低濃度不純物領域が接する構造を有する薄膜トランジスタにおいて、前記低濃度不純物領域は少なくとも前記チャネル領域とほぼ同じ厚さの薄膜からなる第一の領域と、前記高濃度不純物領域とほぼ同じ厚さの薄膜からなり前記第一の領域より厚い第二の領域とを有することを特徴とする薄膜トランジスタ。

【請求項 2】 前記ゲート電極はソース・ドレイン電流の流れる方向に複数個に分割され、分割されたゲート電極は全て同電位に接続されていることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】 前記ゲート電極の一部は、前記第二の領域の少なくとも一部を覆うことを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 4】 前記ゲート電極はソース・ドレイン電流の流れる方向に複数個に分割され、分割された前記ゲート電極は前記低濃度不純物領域により接続されていることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 5】 請求項 1 乃至 3 のいずれか 1 項に記載の薄膜トランジスタをマトリクス状に配置した TFT 基板を有する液晶表示装置。

【請求項 6】 絶縁性基板上の薄膜シリコン領域内にソース領域、ドレイン領域、チャネル領域をそれぞれ複数有し、前記チャネル領域上にはゲート絶縁膜を介してゲート電極を有し、前記ソース領域及び前記ドレイン領域の少なくとも一方は高濃度不純物領域と低濃度不純物領域を有し、前記チャネル領域と前記低濃度不純物領域が接する構造を有する複数の薄膜トランジスタを備えた液晶表示装置において、前記低濃度不純物領域は少なくとも前記チャネル領域とほぼ同じ厚さの薄膜からなる第一の領域と、前記高濃度不純物領域とほぼ同じ厚さの薄膜からなり前記第一の領域より厚い第二の領域とを有し、前記ソース領域の電極又は前記ドレイン領域の電極のいずれかは透明電極と接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、特にアクティブマトリクス型液晶表示装置に用いる薄膜トランジスタと、その薄膜トランジスタを用いた液晶表示装置に関するものである。

【0002】

【従来の技術】薄膜トランジスタ (TFT) は、近年特に液晶表示装置のアクティブマトリクス基板のスイッチ

ング素子として、精力的に開発がすすんでいる。なかでもポリシリコン (多結晶) や、ポリシリコンを改質し、より単結晶に近づけた薄膜を用いる TFT は 0.5 ~ 2.0 インチ程度の小型パネルの TFT として実用化されている。

【0003】ポリシリコンを主として形成する TFT は、主にゲート電極がチャネルの上側にある順スタガ型として開発されてきているが、①ソース・ドレイン間のリーク電流を低減し、②移動度を上げ駆動力を向上させるという 2 点に関し、歩留りの側面、製造技術の向上と相まって研究成果が種々報告されている。

【0004】その結果、ソース・ドレイン間のリーク電流低減のためにドレイン端に集中する電界を緩和すること、リーク電流を低減し且つ移動度向上のためにポリシリコンを出来るだけ薄膜化することの 2 点が基本技術として知られるようになってきている。

【0005】ここで、従来例の薄膜トランジスタとして、図 10 にその断面図を示す。図 10 (a) において、601 は絶縁性基板、602a は高濃度 n^+ 型ソース領域、602b は低濃度 n^- 型ソース領域、602c はチャネル領域、602d は低濃度 n^- 型ドレイン領域、602e は高濃度 n^+ 型ドレイン領域であり、602a ~ e は単一のポリシリコン領域に形成されている。603 は例えばシリコン酸化膜などのゲート絶縁膜、604 はポリシリコンゲート電極、605 は層間絶縁膜、606a、606b は例えばアルミニウム合金よりなるソース、ドレイン電極である。

【0006】また、図 10 (b) において、607 は絶縁性基板、608a は膜厚の厚い高濃度 n^+ 型ソース領域、608b はチャネル領域となる低濃度 n^- 型ソース領域、608c は膜厚の厚い高濃度 n^+ 型ドレイン領域であり、608a ~ c は単一のポリシリコン領域に形成されている。609 は例えばシリコン酸化膜などのゲート絶縁膜、610 はチャネル領域上、ゲート絶縁膜を介して形成されるポリシリコンゲート電極、611 は特にドレイン・ソース間の絶縁を目的とする層間絶縁膜、612a、612b は例えばアルミニウム合金よりなるソース、ドレイン電極である。

【0007】(低濃度 n^- 層の役割) 低濃度 n^- 層 602b、602d は、ゲート OFF 時のドレイン端での電界集中を緩和する効果があるので、リーク電流の抑制に有効であることは既に知られている。例えば、特公平 3 - 38755 号公報にその点を開示されている。

【0008】一方、例えば特公平 6 - 69094 号公報に開示されているとおり、ポリシリコン TFT の ON 電流を増大させ、OFF 電流を減少させるためには、ポリシリコンの厚さを薄くすることが必要である。同公報においては、その厚さを 10 ~ 40 nm とすることが有効であることが述べられている。また特開昭 58 - 158971 号公報においては、コンタクト部の抵抗を下げる

ために低濃度 n^- 層をもたない構造でソース・ドレイン部の膜厚をチャネルより厚くする構造が開示されているが、低濃度 n^- 層とのかかわりについては述べられていない。

【0009】また、TFTの製造プロセスの膜厚ばらつきを考えると、低濃度 n^- 層の膜厚ばらつきが駆動力のばらつきに大きく影響を与えることになり、製造マージン、歩留りの観点からも好ましくない。特にこの様なトランジスタを多数集積する液晶表示装置は、トランジスタの駆動力のばらつきは画質のムラとなってしまう、単なるスイッチングの良、不良の判定では検知できない不良を発生させてしまうことがある。

【0010】

【発明が解決しようとする課題】然るに、チャネル領域やソース・ドレイン領域のポリシリコンの厚さを薄くしていくと低濃度 n^- 層の抵抗が反比例して増大する。その結果、図11で示すように薄膜トランジスタTFTに極めて大きい寄生抵抗 r_s 、 r_d が発生することになる。これらの寄生抵抗 r_s 、 r_d は、以下の式で示す様に、TFTの動作領域を2つに分けて、3極管特性領域、5極管特性領域におけるドレイン電流 I_d を減少させてしまう。

【0011】3極管；

$$I_d = \mu C_o \times (W/L) (V_{gs}' - V_{th} - 1/2 V_{ds}') V_{ds}'$$

5極管；

$$I_d = (1/2) \mu C_o \times (W/L) (V_{gs}' - V_{th})^2$$

然るに $V_{gs}' = V_{gs} - I_d r_s$

$$V_{ds}' = V_{ds} - I_d (r_s + r_d)$$

となる。ここで、 μ はポリシリコン内のキャリアの移動度、 C_o は酸化膜の誘電率/酸化膜の厚さによる容量、 W はゲート幅、 L はゲートチャネル長、 V_{gs}' はゲート・ソース間電圧、 V_{th} は閾値電圧又はピンチオフ電圧、 V_{ds}' はドレイン・ソース間電圧、 V_{gs} はゲート電極・ソース電極間電圧、 V_{ds} はドレイン電極・ソース電極間電圧である。

【0012】こうして、ソース・ドレイン間のリーク電流を充分抑えるに足る低濃度 n^- 層の長さを確保しながら、寄生抵抗 r_s 、 r_d を出来るだけ小さくすることは、より性能の高いTFTを形成する上で不可欠の要素となっている。

【0013】そこで、以上の問題を解決し、リーク電流を十分に抑えながら、寄生抵抗をできるだけ小さくする薄膜トランジスタとそれを用いた液晶表示装置を提供することを本発明の目的とする。

【0014】

【課題を解決するための手段】以上に挙げた問題を解決するために、本発明者が鋭意努力した結果、以下の発明を得た。すなわち、本発明の薄膜トランジスタは、絶縁

性基板上的の薄膜シリコン領域内にソース領域、ドレイン領域、チャネル領域を有し、チャネル領域上にはゲート絶縁膜を介してゲート電極を有し、ソース領域及びドレイン領域の少なくとも一方は高濃度不純物領域と低濃度不純物領域を有し、チャネル領域と低濃度不純物領域が接する構造を有する薄膜トランジスタにおいて、低濃度不純物領域は少なくともチャネル領域とほぼ同じ厚さの薄膜からなる第一の領域と、高濃度不純物領域とほぼ同じ厚さの薄膜からなり第一の領域より厚い第二の領域とを有することを特徴とする。こうしてソース抵抗又はドレイン抵抗を低減し、駆動電力を向上できる。

【0015】また、ゲート電極はソース・ドレイン電流の流れる方向に複数個に分割され、分割されたゲート電極は全て同電位に接続されていることを特徴とし、ゲートの冗長度を上げることとなるがその分信頼性を向上できる。また、ゲート電極の一部は、第二の領域の少なくとも一部を覆うことを特徴とし、ゲート電極部分の面積を縮減できる。さらに、ゲート電極はソース・ドレイン電流の流れる方向に複数個に分割され、分割されたゲート電極は低濃度不純物領域により接続されていることを特徴とし、リーク電流を抑圧できる。

【0016】また、ゲート電極はソース・ドレイン電流の流れる方向に複数個に分割され、分割されたゲート電極の下部のチャネル領域は低濃度不純物領域の第1の領域とを介して接続されていることを特徴とする。

【0017】また、上記の薄膜トランジスタをマトリクス状に配置したTFT基板を有する液晶表示装置を提供するものである。より具体的には、絶縁性基板上的の薄膜シリコン領域内にソース領域、ドレイン領域、チャネル領域をそれぞれ複数有し、チャネル領域上にはゲート絶縁膜を介してゲート電極を有し、ソース領域及びドレイン領域の少なくとも一方は高濃度不純物領域と低濃度不純物領域を有し、チャネル領域と低濃度不純物領域が接する構造を有する複数の薄膜トランジスタを備えた液晶表示装置において、低濃度不純物領域は少なくともチャネル領域とほぼ同じ厚さの薄膜からなる第一の領域と、高濃度不純物領域とほぼ同じ厚さの薄膜からなり第一の領域より厚い第二の領域とを有し、ソース領域の電極又はドレイン領域の電極のいずれかは透明電極と接続されていることを特徴とする。

【0018】本発明によれば、薄膜トランジスタの寄生抵抗を増大させている低濃度層のうち、リークに寄与しない部分の膜厚を厚くし、プロセスのばらつきの影響を受けずに薄膜化の効果の恩恵を受けるように工夫した結果、トランジスタのON/OFF比がプロセスマージンをもった上で向上するように作用するものである。この様なトランジスタを集積したアクティブマトリクス基板は当然画質のすぐれた液晶表示装置を実現するに好適である。

【0019】

【発明の実施の形態】

＜実施形態 1＞図 1 に本発明による薄膜トランジスタの実施形態 1 の断面図を示す。表面が絶縁された絶縁性基板 101 上にポリシリコン（多結晶 Si）102、その表面に例えばシリコン酸化膜などのゲート絶縁膜 103 が形成されている。ポリシリコン 102 は、高濃度 n^+ 型ソース領域 102a、低濃度 n^- 型ソース領域 102h 中高厚領域 102b と薄厚領域 102c、チャネル領域 102d、低濃度 n^- 型ドレイン領域 102i 中薄厚領域 102e と高厚領域 102f、高濃度 n^+ 型ドレイン領域 102g で構成され、102a～i は単一のポリシリコン領域に形成されている。単一のポリシリコン領域は、大別すれば、膜厚の薄いチャネル領域 102d、及びソース、ドレイン領域よりなる。ソース領域は、ゲート電極 104 に近い低濃度 n^- 領域 102h、高濃度 n^+ 領域 102a よりなる。同様にドレイン領域も、低濃度 n^- 領域 102i、高濃度 n^+ 領域 102g よりなる。ゲート電極 104 はゲート絶縁膜 103 をはさんで、チャネル領域 102d と対向している。106a、106b はそれぞれソース領域、ドレイン領域となる金属配線層で、高濃度 n^+ 領域 102a、102g と接している。また 105 はゲート電極 103 と配線層を絶縁する層間絶縁層である。

【0020】次にソース、ドレインの構造について述べる。ソース低濃度 n^- 領域 102h は、チャネル領域 102d に接し、チャネル領域とほぼ同じ厚さを有する薄厚の第 1 の領域 102c、及び高濃度 n^+ 領域 102a と接しほぼ同じ厚さを有する高厚の領域 102b から構成される。同様にドレイン低濃度 n^- 領域 102i もチャネル領域と接する薄厚の第 1 の薄膜領域 102e と、高濃度 n^+ 領域 102g と接する第 2 の高厚の厚膜領域 102f とから構成される。

【0021】以上の構成によれば、チャネル領域部とドレイン領域の接する面積を充分小さくしながら、低濃度 n^- 領域の抵抗を小さくすることができ、従来より高い ON/OFF 比を有する薄膜トランジスタを構成することができる。

【0022】次に図 1 の断面図において考えられる各部の材料や構造のバリエーションについて述べる。表面が絶縁された絶縁性基板 101 は石英、ガラス、シリコン基板などが可能である。シリコン基板の場合、表面が例えば酸化によりシリコン酸化膜となっているものが使用できる。またいずれの基板でも、CVD 法によりシリコン酸化膜、シリコン窒化膜で被覆したものも使用できる。またこれらの膜を多層に積層したものも用いることができる。

【0023】ポリシリコン 102 は、絶縁性基板上に CVD 法で堆積した薄膜が代表的であるが、単結晶シリコン或いは、ポリシリコンをレーザーアニールすることで結晶化し、グレインバウンダリーを極めて少なくした薄

膜層を用いることもできる。更に、絶縁性基板上にアモルファス（非晶質）Si を堆積した後に、レーザーアニールで多結晶化することもできる。

【0024】ゲート絶縁膜 103 は、ポリシリコンの一部を熱酸化して得られるシリコン酸化膜の他、CVD 法で堆積したシリコン酸化膜、シリコン窒化膜（特にプラズマ CVD 法によるシリコン窒化膜）などが好適であり、既に知られる方法でも採用でき、他の文献に詳しい。

【0025】ゲート電極 104 としては、ポリシリコンを高濃度 n^+ にドーピングしたもの、或いは、Al, W, Cr, Ti, Ta, Mo 等の金属物質、又はポリシリコン上に金属層を合金化したポリサイド等が好適である。これらの材料は、チャネルポリシリコンの厚さ、必要な TFT のしきい値、ゲート電極の仕事関数、耐熱温度を考慮し、選択されるべきである。

【0026】層間絶縁膜 105 は、シリコン酸化膜、シリコン窒化膜、シリコン、窒化膜又はこれらの膜を多層に堆積したものが使用される。

【0027】ソース、ドレインの配線 106a、106b は Al, W, Cr, Ti, Ta, Mo 或いはこれらの合金、シリサイド、又は多層膜が使用可能である。また、シリコンを配線層の間に極度の相互拡散が生じるのを防止するためのバリアメタルを使用する場合もある。なお、図示していないが、図 1 の構造の表面に更に表面層の変質を防止するために表面保護膜を堆積することも可能である。

【0028】次に、図 1 に示す断面図構造の薄膜トランジスタの製造方法を、図 2 (a)～(e) を用いて述べる。

【0029】以下に述べる製法は、上記の可能な構造バリエーションの代表的な一例を示すものであり、他の材料、構造を実現するにあたり、従来自明とされてきた方法を適応することは、本発明の主旨に基づく限りにおいて有効である。

【0030】表面を絶縁した絶縁性基板 101 上に、シランの熱分解により 550～650℃の範囲でポリシリコンを厚さ 50～500nm 堆積した後、パターニングをおこないソース、ドレインのコンタクト部となる厚膜領域 107a、107b を形成する（図 2 (a)）。厚膜領域 107a、107b の厚さは、低濃度 n^- 層の抵抗、コンタクトエッチング時の選択比に鑑みて決定される。また特に液晶表示装置のアクティブスイッチング素子として用いる TFT の場合、デバイスの表面にあまり大きな段差をつけると液晶の配向が困難になることを考慮し、平坦性も重要な決定要因である。なお、図 2

(a) では厚膜領域 107a、107b の側面、特に外側の側面のエッチング形状はテーパ状に描いてあるが、これもエッチングのコントロール性、段差の高さによる配線のカバレッジを考慮して、テーパ角を決定す

る。本実施形態では、段差の被覆性を重視し、 $30^{\circ} \sim 70^{\circ}$ の角度で形成する。次にチャネル領域ともなるのポリシリコン薄膜108を形成する(図2(b))。

【0031】ポリシリコン薄膜108は550~650℃の熱CVD法により、厚さは10~200nmが望ましい。またポリシリコン薄膜108を堆積する直前のポリシリコンの厚膜領域107a, 107b表面は充分に自然酸化膜を除去し、ポリシリコン薄膜108と厚膜領域107a及び107bとの導通が確実にとれる様に注意する必要がある。更にポリシリコン薄膜108は厚膜領域107a, 107bの表面を覆い、ポリシリコン薄膜108のエッチングの際に厚膜領域107a, 107bが除去されないことが望ましい。ポリシリコン薄膜108の厚さは、次のゲート酸化膜を熱酸化で形成するのか、堆積させて形成するのかに応じ設計されねばならない。特公平6-69094号公報でも述べられている通り、チャネル部のポリシリコンの厚さは最終的に10~40nm程度とすることがデバイス特性上望ましい。従って堆積法でゲート絶縁膜103を形成する時には、当初よりこの厚さ、又熱酸化法を用いる場合は、酸化によるポリシリコン厚の目減り(酸化する膜厚の約45%)分だけ、あらかじめ厚めに形成しておく必要がある。本実施形態では、ゲート酸化膜を熱酸化で形成するため、例えば20nmのチャネル領域の最終膜厚に対し、ゲート酸化膜厚は80nm、ポリシリコンの堆積厚は56nmとした。ゲート酸化は850℃~1200℃でおこなうことが可能であるが、高温で酸化する方が、ゲート酸化膜の膜質に良好である。本実施形態では1150℃のDry酸素雰囲気中で酸化した。熱酸化と堆積法を併用した方法として、薄い熱酸化膜上にシリコン窒化膜を堆積した後、再酸化をするONO構造(Oxy-Nitride Oxide)を用いることもできる。

【0032】次に、ゲート電極104としてリン(P)をドーピングしたポリシリコンを400nm堆積した(図2(c))。ポリシリコンの厚さは100nm~1000nmが可能であるが、ポリサイド化する場合には、金属膜の厚さも考慮する必要がある。ドーパントはヒ素(As)も可能であり、p型にするためにボロンをドーピングしてもよい。

【0033】次に、リンイオン Ph^+ を全面にドーピングし、低濃度 n^- 領域を形成する(図2(d))。ドーピングは、イオン注入法が一般的であるが、近年開発された質量分析をおこなわないイオンドーピング装置も安価で低温の活性化ができ、有効である。注入量は電界緩和と駆動力の両方を考慮して決められる。 $10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ が可能であるが、発明者らの実験では $10^{13} \sim 10^{14} \text{ cm}^{-2}$ が望ましいことがわかった。ドーピングするイオンは他の n 型イオンでも構わない。この後に一旦熱処理をおこない、イオンを活性化してもよい。

【0034】次に、レジストパターニングにより所望部

分に高濃度 n^+ の n 型不純物 Ph^+ をドーピングする(図2-(e))。ドーピング方法には、例えばイオン注入法やイオンドーピング法を用いることができる。ドーピングは $5 \times 10^{14} \sim 2 \times 10^{16} \text{ cm}^{-2}$ の範囲が可能である。その後、レジスト109をストリップし、1000℃で10分間熱処理することでイオンを活性化する。その後CVD法によりシリコン酸化膜を厚さ600nm堆積させる。

【0035】次にソース、ドレインのコンタクト孔を開口し、スパッタリングによりAl-Si(1%)の層を600nm堆積、パターニングし、配線層106a, 106bを形成し、図1の構造とした。

【0036】なお、ポリシリコンTFETの製造工程においては、通常チャネルのポリシリコン形成後の工程で、グレイン境界の未結合手を終端するために“水素化”と呼ばれる工程を行う。「水素化」はどの工程で行ってもよいが、水素化をおこなった後には450℃以上の工程を経ない方が望ましい。

【0037】本実施形態では、高温プロセスを用いている関係で、図1の構造ができてから水素化をおこなった。水素化には種々の方法があるが、本実施形態では配線層106a, 106b表面に50~800nmのプラズマ窒化膜を堆積することでポリシリコンの移動度の飛躍的向上を得たと同時にリーク電流も減少させた。窒化膜堆積後に300~450℃の熱処理を水素又はFormingガス中(N_2 と H_2 の混合ガス)でおこなうと更に効果が上がる。

【0038】なお、以上の説明では、導電型を n 型としたが、以上の議論は必要な箇所をp型のTFETができるよう修正することで、p型TFETにも同様にあてはまるものである。

【0039】また、必要に応じ、ソース側、ドレイン側の一方のみに本実施形態の構造をとることも、いずれかのリーク電流の低減及び移動度の改善が達成されればよい場合には可能である。

【0040】また、低濃度 n^- 層の厚膜部と薄膜部のチャネル方向の長さの比は、加工精度により制約を受けるが、理想的には、チャネル領域との接合部のみが薄膜であることが良く、実際上は低濃度 n^- 層の長さの20~30%で薄膜化していても効果がある。

【0041】本実施形態で述べたTFETのドレイン電流-ゲート電圧特性を図3に示す。チャネル領域部も、低濃度 n^- 層も、図10に示すソース及びドレイン領域の同じ厚さの従来構造のTFETの特性と比較してOFF電流を抑えたまま、ON電流だけを著しく向上した特性が得られていることがわかる。これは寄生のソース、ドレイン抵抗が減少したことで、トランジスタのゲート・ソース間或いはドレイン・ソース間に実効的に印加される電圧が増大したためである。

【0042】また、ポリシリコンの膜厚が極めて薄い場

合にも、下地の凹凸によりポリシリコンが切断し、TFT不良となる確立が低下し、歩留りの向上にも寄与する。

【0043】＜実施形態2＞図4に本発明による薄膜トランジスタの実施形態2の断面図を示す。本実施形態と実施形態1の違いは、同電位で接続されている（接続は本断面図では不図示）2枚のゲートがチャンネル長方向に直列に接続している所謂デュアルゲート構造である点である。デュアルゲートにすることでゲートOFF時のドレイン端の電界集中が複数段に分割され緩和させるのでOFF電流が抑制されることが知られている。

【0044】本実施形態では2枚のゲートの間を薄膜の低濃度 n^- 領域とすることで全体のトランジスタサイズをできるだけ小さくしている。各部の役割と意味の実施形態1と同じものは同一番号で図示したので説明を省略する。実施形態1と異なる箇所を説明すると、図4において、2枚のゲート電極104a、104bがあり、これらは同電位に接続される。その2枚のゲート電極104a、104bはゲート絶縁膜103をはさんで、チャンネル領域102d、102kのキャリア生成を制御する。2つのチャンネル領域102d、102kの間は、チャンネル領域と同じ膜厚の低濃度 n^- 型領域102jで仕切られている。

【0045】本実施形態の製造工程は、実施形態1と、2枚のゲート電極の積層とパターニング以外は、全く同じものが適用され、材料、構成、製法のバリエーションも第1実施形態と同様のものが該当する。更に、必要に応じて同電位のゲート電極の数を3、4、…と増加させることでリーク電流を低減できるのは、従来と同じである。

【0046】さらに、本実施形態では実施形態1の効果の他、デュアルゲート構造とすることでドレイン端の電界集中が緩和され、OFF電流が減少する効果がプラスされる。また、2つの直列トランジスタの一方がグレインバウンダリーを横切り、完全にショートする不良が発生しても、もう一方のトランジスタの動作でスイッチとしての機能を保つことができるという点で冗長性が高く、高歩留りのトランジスタを提供することとなった。またさらに、本実施形態を適用した液晶パネルは、高いON/OFF比を有するTFTを用いているため、高階調高歩留りであり、優れた表示性能を有するものである。

【0047】＜実施形態3＞本発明による実施形態3の内容を、図5の断面図に基づいて説明する。本実施形態は実施形態2の2つのチャンネル領域の間の低濃度 n^- 層102jを、膜厚が異なる2つの領域をもつ2つの低濃度 n^- 層102l、102nと及び2つの低濃度 n^- 層102l、102nの間に厚膜の高濃度 n^+ 層102mとおきかえたものである。

【0048】本実施形態では、実施形態2デュアルゲ

ト構造に対して、新たな高抵抗領域の抵抗を低下させる構造であり、実施形態1の構造をデュアルゲート間に直列的に接続させたものと見ることができ、デュアルゲート間の抵抗を低下してゲート端の電界集中が緩和され、一方との分離をも可能とする。

【0049】各部の名称と役割のうち、新たに追加された低濃度 n^- 層102l、102nと高濃度 n^+ 層102m以外の部分は、実施形態1及び実施形態2と同様であり、説明を省略する。

【0050】実施形態3と実施形態2のどちらの構造が抵抗の面で有利かは、ポリシリコンとポリシリコン間の配線間隔、低濃度 n^- 層の濃度、チャンネルポリシリコンとゲートポリシリコンのアライメント等及び薄膜トランジスタの総面積などから総合的に判断する必要がある。即ち、図5が有利となるためには、低濃度 n^- 層102lのチャンネル長、102nのチャンネル長が図4のポリシリコン間隔と比較して、同等ないし、充分小さい場合である。

【0051】本実施形態では実施形態1乃至2に示した効果の他、デュアルゲート構造で新たに発生する低濃度 n^- 層の抵抗を更に低下させ、ドレインソースのON電流を増大させることができる。

【0052】＜実施形態4＞図6に本発明による実施形態4の断面図構造を示す。本実施形態は実施形態1のゲート電極の位置と低濃度 n^- 領域の位置関係を変えたものである。即ちゲート電極110は低濃度 n^- 領域102h、102iの一部又は全部を覆うべく、ポリシリコンの厚膜部上まで伸延した構造となっている。

【0053】この様な構造により、OFF電流を抑制したまま、低濃度 n^- 層の抵抗を極力小さくすることができる。

【0054】実施形態1～実施形態3と同様に、前記の実施形態と共通部分の番号は、同一符号を使用し説明は省略する。

【0055】図6において、ゲート電極110は厚膜ポリシリコンの一部を覆い、高濃度 n^+ 領域102a、102gとの距離は実施形態1よりかなり小さくなっている。その結果、低濃度 n^- 層に起因する抵抗はわずかなる。

【0056】製造工程は実施形態1で述べた方法から若干の修正が必要となるとともに新たに別の工程をとることもできる。即ち、低濃度 n^- 層のドーピングをポリシリコンゲート電極セルフアラインでおこなった後に、熱処理により、低濃度 n^- 層を薄膜ポリシリコン領域の一部まで充分押しこむ工程が必要となる。また、高濃度 n^+ 層とゲート電極110の距離が $0.4\mu\text{m}$ 以下の場合には、ゲート電極110の側壁にエッチバック法により側壁絶縁膜を残し、この側壁に対してセルフアラインで高濃度 n^+ 層をドーピングする所謂LDD構造(Lightly Diffused Drain Structure)がとれる。この方法は、完全

セルフアラインプロセスであるので、アライメントズレによるオフセット量のばらつきを完全に排除できる。

【0057】又、図6の場合、高濃度 n^+ 層をもゲート電極に対してセルフアラインでドーピングすることも可能である。本実施形態のゲート電極と低濃度 n^- 層との位置関係は、他の実施形態2、3にも適用できうるものである事は言うまでもない。

【0058】実施形態4の効果として、実施形態1の効果に加え、

- ①更に低濃度 n^- 層の抵抗を下げるができる。
- ②側壁絶縁膜を利用したLDD構造をとることが可能となるため、ゲート電極と高濃度 n^+ 層の相対位置関係がプロセス透部により変化しない。従って特性の安定した高歩留のTFTが製造できる。

【0059】

【実施例】

＜実施例1＞実施例1は、実施形態1の欄で説明した図1のTFTの具体例である。実施形態1の図2で説明した製造工程でTFTを作製した。この中で、図2(a)の厚膜領域107a、107bの角度を、段差の被覆性を重視し、30～70度で形成した。次に図2(b)のようにチャンネル領域ともなるポリシリコン薄膜108を形成した。図2(e)の工程では、イオン注入法によりリンイオンを $5 \times 10^{15} \text{ cm}^{-2}$ 、95keVのエネルギーでドーピングした。その後、レジスト109をストリップし、1000℃で10分間熱処理することでイオンを活性化した。その後CVD法によりシリコン酸化膜を厚さ600nm堆積した。次に、ソース、ドレインのコンタクト孔を開口し、スパッタリングによりAl-Si(1%)の層を600nm堆積、パターニングし、配線層106a、106bを形成し、図1の構造とした。

【0060】以上の構造によれば、チャンネル領域部とドレイン領域の接する面積を十分小さくしながら、低濃度 n^- 領域の抵抗を小さくすることができ、従来より高いON/OFF比を有する薄膜トランジスタを構成することができた。

【0061】＜実施例2＞実施形態2による薄膜トランジスタを液晶表示装置に適用した。図7は液晶表示装置のTFT基板の回路ブロック図である。図において、水平シフトレジスタ901と垂直シフトレジスタ902から出る多数の走査線903及び信号線904の各交点には、該当画素を駆動するための薄膜トランジスタTFT905がマトリクス状に配置されている。各TFT905のゲートは2枚のゲート電極からなるデュアルゲート構造の例を示すが、図1に対応する1枚のゲート電極であってもよく、本発明の主旨においてはこの例に限られない。各ソースは各信号線904に接続され、ドレインは保持容量906及び液晶907の駆動電極に接続され、共通電位908と対向して液晶を挟持する。各走査線903はテレビ信号又はコンピュータの垂直走査に対

応して駆動され、水平シフトレジスタから転送されてくるビデオ信号を各画素に書きこむ。

【0062】ポリシリコンの薄膜トランジスタTFTを用いる場合、TFT基板に水平シフトレジスタ901、垂直シフトレジスタ902を集積することが容易である。このとき各シフトレジスタを画素と同様にポリシリコンTFTでつくることもできるし、シフトレジスタを単結晶のシリコン基板に形成することもできる。また液晶パネルとして反射型パネルも透過型パネルも構成することができる。

【0063】図8に任意の画素の平面レイアウト図の一例を示す。ポリシリコン走査線903は、薄膜トランジスタTFTのソース、ドレイン、チャンネルをつくりこむ薄膜ポリシリコン909と2箇所重なり、TFTのデュアルゲートを形成する。アルミニウム信号線904はソースコンタクト910で薄膜ポリシリコン909と接続されている。一方、TFTのもう一方の端はドレインコンタクト911を介してアルミニウムパッド912と接続され、更にスルーホール913を介して、液晶を挟持する画素透明電極914と接続される。平面図全体は、表示に用いる開口部915とスルーホール913を開口するためのスルーホール開口部916を除いて遮光膜で覆われている。また本レイアウトでは微細画素に適する構造の一例として、遮光膜を図9中の保持容量906の電極の一端とし、画素透明電極914と遮光膜が平面的に重なる部分で保持容量906を形成する構造を採用している。

【0064】図9は図8のAA'に沿った断面図であり、本発明の主旨である薄膜トランジスタTFT構造を応用している。図8に対応する部分は同じ番号で示してある。薄膜トランジスタTFTは表面絶縁基板917上に形成され、薄膜ポリシリコン909中に、ソース高濃度 n^+ 層909a、ソース低濃度 n^- 層909b、第1のチャンネル領域909c、中間低濃度 n^- 層909d、第2のチャンネル領域909e、ドレイン低濃度 n^- 層909f、ドレイン高濃度 n^+ 層909gをこの順に配す。第1、第2のチャンネル領域上にはシリコン酸化膜918を介してゲート電極903と対向している。ソースコンタクト910、ドレインコンタクト911を介してアルミニウム電極が接続されている。

【0065】アルミニウム電極904、912の下、ゲート電極の上は、第1の層間絶縁膜919で覆われている。アルミニウム電極912はスルーホール913を介して画素透明電極914と接続される。このときアルミニウム電極912と画素透明電極914に用いられるITOとのオーミック接続を良好にするためにアルミニウム電極912表面に例えばチタン、チタンシリサイドなどを堆積することが望ましい。アルミニウム電極912は第2の層間絶縁膜920で覆われ、その上には遮光膜921を配する。遮光膜921としては例えばチタン、

チタンシリサイド、タンタル、タンタルシリサイド、タングステンなどを用いることができる。透明電極 9 1 4 と遮光膜 9 2 1 の間には、保持容量を形成する容量膜 9 2 2 が存在する。容量膜 9 2 2 としては、水素化の効果を高めるプラズマ窒化膜が有効であるが、窒酸化膜やシリコン酸化膜なども可能である。

【0066】透明電極 9 1 4 表面にはラビング処理された配向膜 9 2 3 が全面に堆積してあり、対向基板 9 2 4 上の共通電極 9 2 3 (例えば透明電極) と対向して液晶 9 0 7 を挟持する。また、透明電極はドレイン電極に接

続するとしたが、設計上の問題でソース電極とすることも可能である。

【0067】液晶 9 0 7 としては、透過型には T N 型が一例として用いられ、反射型パネルでは一例として高分子分散型が用いられる。

【0068】上記の構造の液晶パネルは、T F T の O N / O F F 比が高いため、高階調の表示を極めて高歩留りに実現できる特徴をもつことがわかった。

【0069】

【発明の効果】本発明は、低濃度不純物領域は少なくともチャネル領域とほぼ同じ厚さの薄膜からなる第一の領域と、高濃度不純物領域とほぼ同じ厚さの膜からなり第一の領域より厚い第二の領域を有する薄膜トランジスタを構成することによって、ソース・ドレインのリーク電流は従来並に抑え、ソース・ドレイン間の寄生抵抗を減らすことで駆動力を \uparrow させることができ、優れた O N / O F F 比を得ることができる。

【0070】また、本発明によって、薄膜トランジスタの寄生のソース及びドレイン抵抗が減少し、同一ゲート電圧に対し、ドレイン電流が増加し、トランジスタのゲート・ソース間或いはドレイン・ソース間に実効的に印加される電圧が増大し、オン／オフ電流比が大きくなり、特に液晶装置に適用したときには高いコントラストを得ることができる。また、ポリシリコンの膜厚が 1 0 n m 程度と薄いときにも、下地の凹凸によりポリシリコンが断線するという不良発生が少なくなる。これにより、極薄膜 T F T の歩留りも向上する。

【0071】また、デュアルゲート構造とすることで、ドレイン端の電界集中が緩和され、O F F 電流が減少することでオン／オフ電流比を大きくできる。また、2つの直列トランジスタの一方がグレインバウンダリーを横切り、完全にショートする不良が発生しても、もう一方のトランジスタの動作でスイッチとしての機能を保つことができ、高歩留りのトランジスタを提供することとなった。

【0072】さらに、デュアルゲート構造で、新たに発

生する低濃度 n^- 層の抵抗を更に低下させ、ドレインソースの O N 電流を増大させることができる。

【0073】また、ソース、ドレインの薄膜領域を小さくすることで、更に低濃度 n^- 層の抵抗を下げることで、側壁絶縁膜を利用した L D D 構造をとることが可能となるため、ゲート電極と高濃度 n^+ 層の相対位置関係がプロセス透部により変化しなくなり、従って特性の安定した高歩留の T F T が製造できる。

【図面の簡単な説明】

【図 1】本発明による一実施形態の T F T の断面図である。

【図 2】本発明による一実施形態の T F T の製造方法を示す断面図である。

【図 3】本発明の一実施形態の T F T の電流－電圧特性を従来例と比較したものである。

【図 4】本発明の一実施形態の T F T の断面図である。

【図 5】本発明の一実施形態の T F T の断面図である。

【図 6】本発明の一実施形態の T F T の断面図である。

【図 7】本発明による T F T を適用した液晶表示パネル用 T F T 基板の回路ブロック図である。

【図 8】図 7 の液晶表示パネル用 T F T を含む画素部の平面図の一例である。

【図 9】図 8 の液晶表示パネル用 T F T を含む画素部の一部の断面図である。

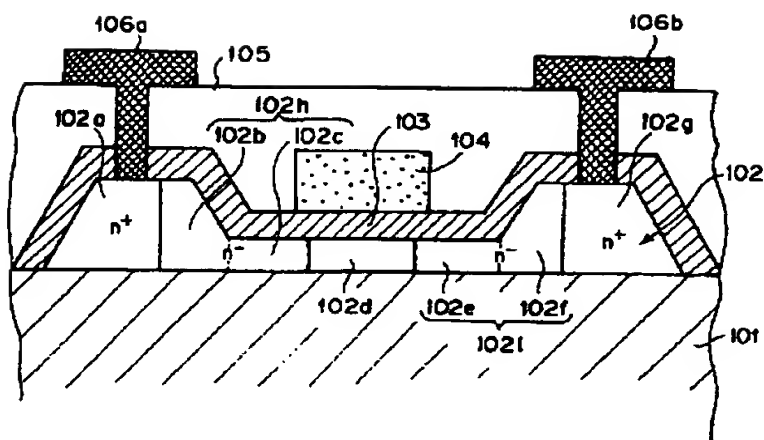
【図 10】従来の薄膜トランジスタ T F T の断面図である。

【図 11】薄膜トランジスタ T F T の寄生抵抗を示す等価回路図である。

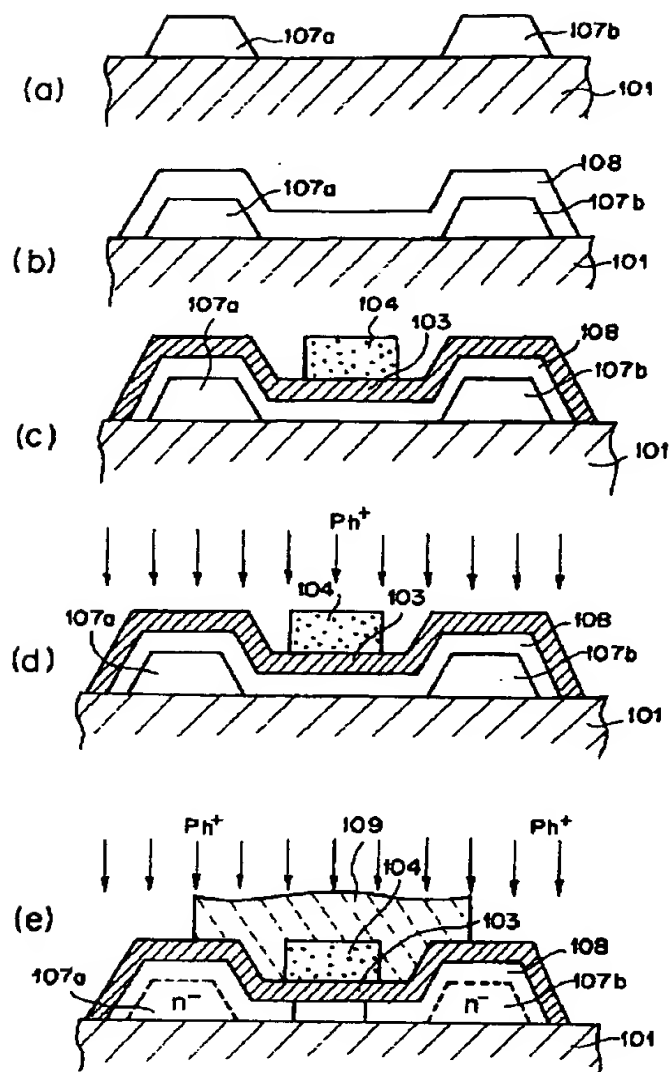
【符号の説明】

- | | |
|----------|------------------|
| 101, 601 | 絶縁性基板 |
| 102, 602 | ポリシリコン (多結晶 S i) |
| 103, 603 | ゲート絶縁膜 |
| 104, 604 | ゲート電極 |
| 105, 605 | 層間絶縁層 |
| 106, 606 | 金属配線層 |
| 107 | 高濃度 n^+ 領域 |
| 108 | 低濃度 n^- 領域 |
| 901 | 水平シフトレジスタ |
| 902 | 垂直シフトレジスタ |
| 903 | 走査線 |
| 904 | 信号線 |
| 905 | 薄膜トランジスタ |
| 906 | 保持容量 |
| 907 | 液晶 |
| 908 | 共通電位 |

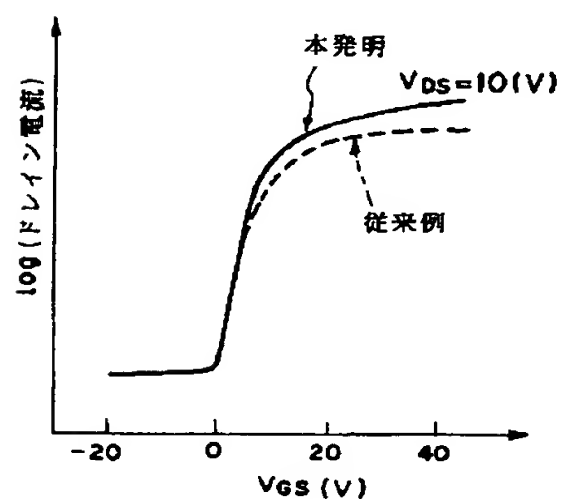
【図 1】



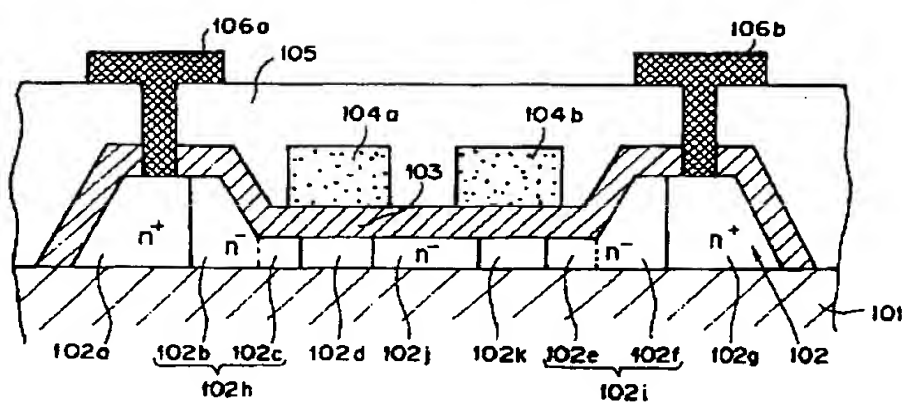
【図 2】



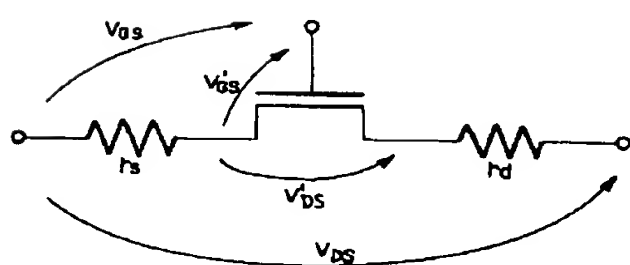
【図 3】



【図 4】



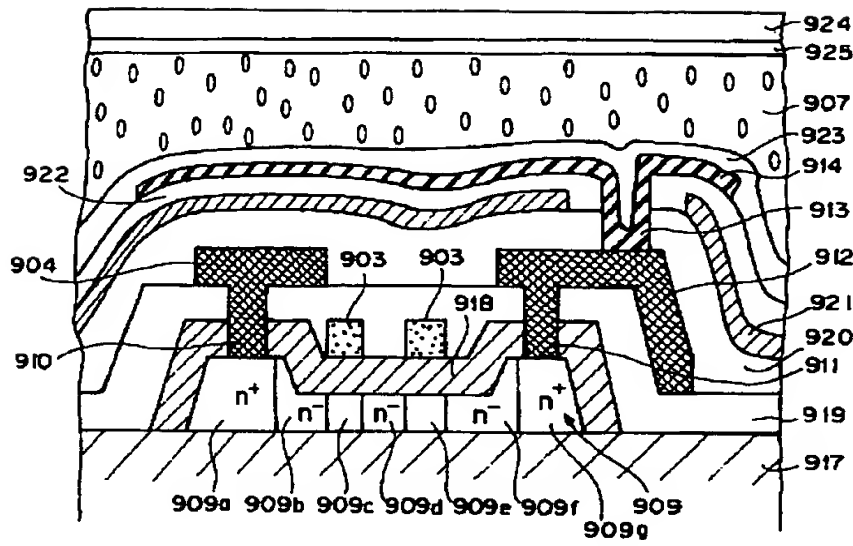
【図 11】



A cross-sectional view of a semiconductor device. The device features a substrate with a series of gates (103) and contacts (106a, 106b). The gates are formed on a layer (105) and are separated by spacers (104a, 104b). The contacts are formed on the gates and are connected to the substrate. The substrate is divided into regions labeled 102a through 102g, with some regions further labeled 102h and 102i. The regions are separated by gates (103) and spacers (104a, 104b). The gates are formed on a layer (105) and are connected to the substrate. The contacts are formed on the gates and are connected to the substrate.

Figure 1 is a schematic diagram of a liquid crystal display (LCD) circuit. The diagram shows a grid of TFTs (905) connected to a horizontal shift register (901) and a vertical shift register (902). The horizontal shift register (901) is labeled "水平シフトレジスタ" and the vertical shift register (902) is labeled "垂直シフトレジスタ". The grid is divided into three columns and two rows. Each cell in the grid contains a TFT (905) connected to a horizontal line (903) and a vertical line (904). The horizontal line (903) is labeled "903; 走査線" and the vertical line (904) is labeled "904; 信号線". The TFTs are connected to a common source (908) and a common drain (906). The TFTs are labeled 905: TFT, 906: 保持容量, 907: 液晶, and 908: 共通電位.

【図 9】



【図 10】

